

PRODUCTION OF SEMICONDUCTOR DEVICE

Patent number: JP11068102

Publication date: 1999-03-09

Inventor: SUZUKI KEITA; TSUCHIYA MASANOBU; ISHIBASHI HIROSHI

Applicant: TOSHIBA CORP

Classification:

- international: H01L29/78

- european:

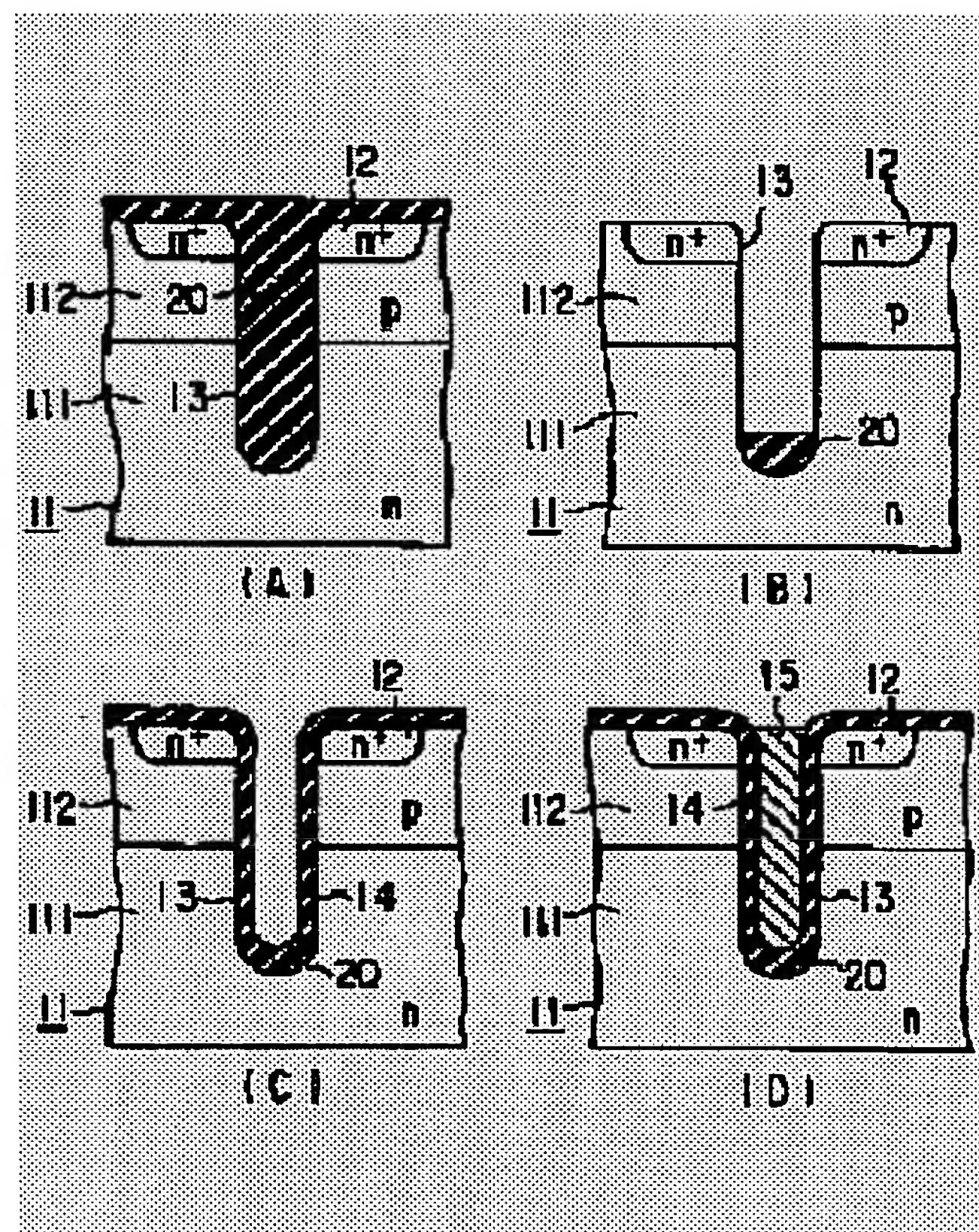
Application number: JP19970225054 19970821

Priority number(s):

Abstract of JP11068102

PROBLEM TO BE SOLVED: To provide a method for producing semiconductor devices such as a MOS transistor, etc., which have a higher reliability thanks to larger film thickness of a gate insulation film in its trench gate structure.

SOLUTION: A trench 13 is formed such that it penetrates a source region 12 which is formed on the surface of a semiconductor substrate 11. The trench 13 is filled with an insulative substance 20, and then the insulative substance 20 is etched while the bottom part of the trench 13 is retained. In this case, the insulative substance 20 is still retained in the bottom of the trench 13 in a semispherical state, and a gate insulation film 14 made of oxide film is grown on the inner surface of the trench 14. Furthermore polysilicon a gate electrode 15 is embedded and formed into the inside of the trench 13 which is surrounded by the gate insulation film 14 and the insulative substance 20 in its bottom.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-68102

(43)公開日 平成11年(1999)3月9日

(51)Int.Cl.⁶

H 01 L 29/78

識別記号

F I

H 01 L 29/78

6 5 2 K

6 5 3 A

審査請求 未請求 請求項の数 3 OL (全 4 頁)

(21)出願番号

特願平9-225054

(22)出願日

平成9年(1997)8月21日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 鈴木 啓太

兵庫県姫路市余部区上余部50番地 株式会
社東芝姫路半導体工場内

(72)発明者 土谷 政信

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

(72)発明者 石橋 弘

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

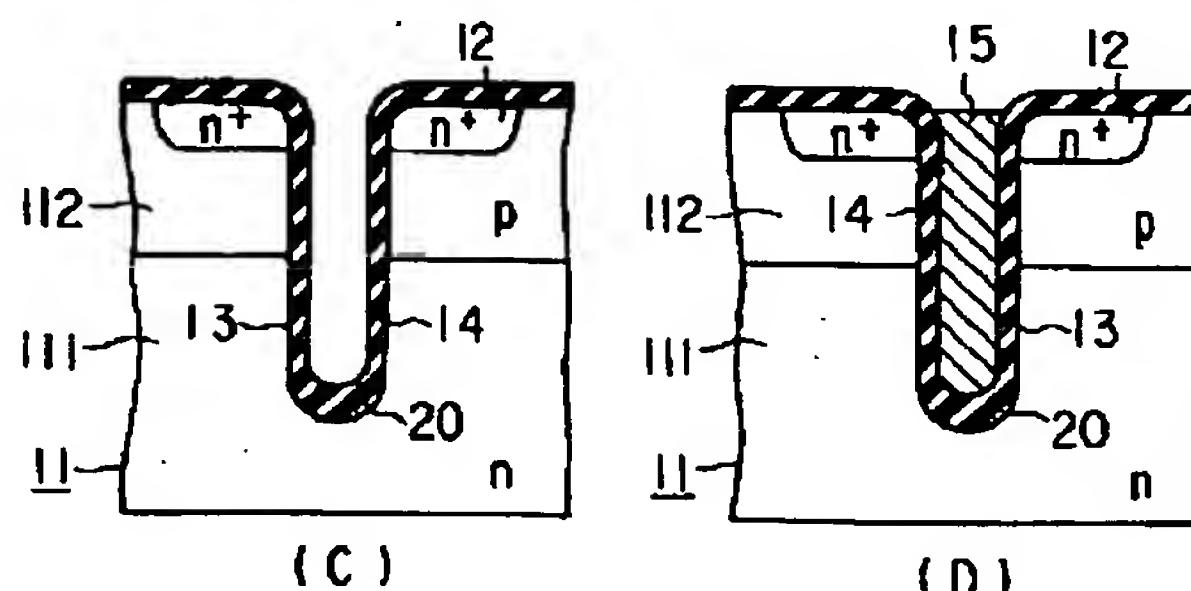
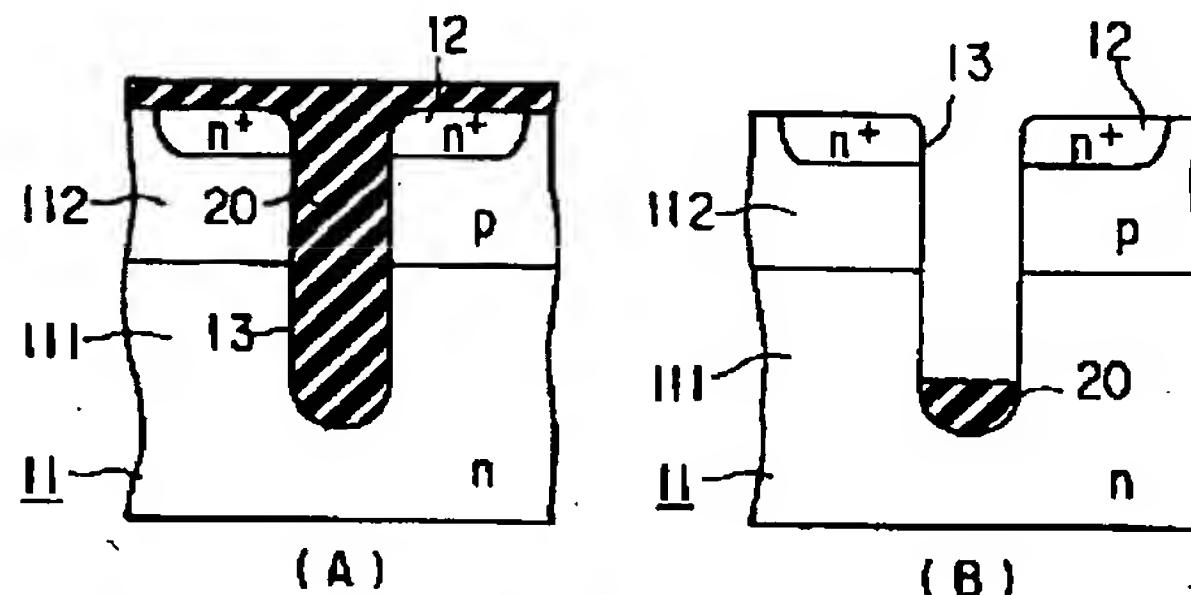
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】トレンチゲート構造において、特にゲート絶縁膜の膜厚が確保されて信頼性に富む構造とされるMOSトランジスタ等の半導体装置の製造方法を提供することを課題とする。

【解決手段】半導体基板11の表面部に形成されるソース領域12を貫通するようにしてトレンチ13が形成される。このトレンチ13の内部にはまず絶縁物20が充填され、その後トレンチ13の底部を残して絶縁物20がエッチングされる。この場合、トレンチ13の下部の円弧部を含み絶縁物が残され、その後トレンチ13の内周面に酸化膜によるゲート絶縁膜14が成長され、このゲート絶縁膜14および底部の絶縁物20で囲まれたトレンチ13の内部に、ポリシリコンによるゲート電極15が埋め込み形成される。



【特許請求の範囲】

【請求項1】 半導体基板の表面部に形成された不純物拡散層に対応するようにトレンチを形成するトレンチ形成工程と、
前記形成されたトレンチの内部を絶縁性材料で充填する充填工程と、
前記トレンチ内部の充填絶縁物を前記トレンチの開口面からエッティングし、前記トレンチの少なくとも底面部を残して除去するエッティング工程と、
前記底部に絶縁物の残された前記トレンチの内周面にゲート絶縁物層を形成するゲート絶縁物層形成工程と、
前記ゲート絶縁物層の形成されたトレンチの内部に導電性材料を形成してゲート電極を形成するゲート電極形成工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項2】 前記エッティング工程では、前記トレンチの底面部と共に、少なくともこの底面部の周囲の角部分を含む状態で絶縁物が残されるようにした請求項1記載の半導体装置の製造方法。

【請求項3】 前記充填工程でトレンチの内部に充填される絶縁物は、HTO、LTO、TEOS、SiN、ポリシリコン、SiPOSの中のいずれかによって構成される請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えばMOSトランジスタ等のトレンチ構造のゲート電極を備えた半導体装置の製造方法に関する。

【0002】

【従来の技術】トレンチゲートを備えたMOSトランジスタは、例えばn型シリコン基板の表面にp型ベース領域を形成し、さらにこのp型ベース領域の表面にn型ソース領域を形成した後、n型ソース領域の間にトレンチ溝を形成する。そして、このシリコン基板に形成されたトレンチの内周面に、シリコン酸化膜等によってゲート酸化膜を形成し、このゲート酸化膜で覆われたトレンチの内部に、適宜リンや砒素を拡散したポリシリコン層を成長し、このポリシリコン層をゲート電極として使用する。また、n型シリコン基板をドレインとして使用する。

【0003】図4は、このようにして構成されるMOSトランジスタの要部の断面構造を示すもので、半導体基板41はn型のシリコンウェハ411の表面にp型ベース領域412を形成することによって構成される。さらにp型ベース領域412の表面にはn型ソース領域42が拡散形成される。

【0004】そして、半導体基板41に、n型ソース領域42を貫通し、p型ベース領域412からn型シリコンウェハ411に至るトレンチ溝43を形成する。このトレンチ溝43の内周面にシリコン酸化膜によるゲート

絶縁膜44を形成する。そして、このゲート絶縁膜44で覆われたトレンチ溝43の内部にポリシリコンを成長してゲート電極45を形成する。

【0005】しかし、この様にしてMOSトランジスタを製造した場合、ゲート絶縁膜44を形成するに際して、半導体基板に形成されたトレンチ溝43の内周面にシリコン酸化膜を形成する。しかし、シリコン材料に対して酸化膜を成長させる場合、この酸化膜の成長速度が、シリコンの結晶面の方向によって相違するもので、例えば結晶方向(111)で最大となる。

【0006】トレンチ溝43の構造を考察すると、その外周面と底面とでは結晶方向が異なると共に、特に半球状にされる底面部にあって、その底面の周囲の角部分の結晶方向が相違する。特に、この底面の周囲角部分において酸化膜の成長が遅くなり、肉薄部441が存在するようになり、この肉薄部441における絶縁性の信頼性が乏しい。すなわち、MOSトランジスタを構成するゲート酸化膜の信頼性が低下する。

【0007】

【発明が解決しようとする課題】この発明は上記のような点に鑑みなされたもので、特にゲート電極を形成するトレンチにおいて、ゲート絶縁膜がトレンチの内周面に、肉薄となる欠陥部分が生じないようにして、MOSトランジスタの信頼性が確実に向上されるようにする半導体装置の製造方法を提供しようとするものである。

【0008】

【課題を解決するための手段】この発明に係る半導体装置の製造方法は、半導体基板の表面部に形成された不純物拡散層に対応するようにトレンチを形成するトレンチ形成工程と、前記形成されたトレンチの内部を絶縁性材料で充填する充填工程と、前記トレンチ内部の充填絶縁物を前記トレンチの開口面からエッティングし、前記トレンチの少なくとも底面部を残して除去するエッティング工程と、前記底部に絶縁物の残された前記トレンチの内周面にゲート絶縁物層を形成するゲート絶縁物層形成工程と、前記ゲート絶縁物層の形成されたトレンチの内部に導電性材料を形成してゲート電極を形成するゲート電極形成工程とを具備したことを特徴とする。

【0009】この様な製造方法によれば、ゲート絶縁物層の形成に際して、トレンチの底面部を含みその周囲の半球状の角部分が絶縁物で充填されている。そして、この状態でシリコン酸化膜等によるゲート絶縁膜の成長工程が実施されるものであり、トレンチの形成された半導体基板の結晶方向で、ゲート絶縁膜の形成部分の成長速度が等しくされ、トレンチ内周部全体の絶縁膜の厚さを充分にすることができます。この場合、トレンチ底面部およびその周囲は絶縁物で埋め込まれた状態であるため、ゲート絶縁膜としての信頼性が確実に確保される。

【0010】

【発明の実施の形態】以下、図面を参照して、この発明

の一実施の形態を実施例に基づき説明する。図1は製造されるMOSトランジスタの構造を示すもので、半導体基板11はn型シリコンウェハ11の表面部にp型ベース領域112を形成することによって構成される。上記p型ベース領域112の表面部にはソース領域12が拡散形成される。

【0011】そして、ソース領域12を貫通するように溝状のトレンチ13が形成され、このトレンチ13の内周面にゲート絶縁膜14が形成され、このゲート絶縁膜14で覆われたトレンチ13の内部に、ポリシリコンによるゲート電極15が充填形成される。

【0012】図2はこの様な構成のMOSトランジスタの、特にトレーチゲート部分の製造工程を順次示しているもので、まず(A)図のように半導体基板11の表面部にn型拡散層によるソース領域12が形成され、このソース領域12を貫通するようにして、n型のシリコンウェハ111に至る深さのトレンチ13が形成される。

【0013】このトレンチ13の内部には、半導体基板11の表面部を含む状態にして絶縁物20が埋め込み設定される。ここで使用される絶縁物材料としては、HTOが一般的に使用されるものであるが、その他、LTO、TEOS、SiN、不純物が導入されていないポリシリコン、SIPoS等が適宜選択して使用される。

【0014】この様に絶縁物20が充填されたならば、(B)図で示すようにこの絶縁物20をエッチングする。このエッチングに際しては、まず半導体基板11の表面部の絶縁物層が除去されると共に、トレンチ13の内部にまでエッチングが進行され、このトレンチ13の底部にのみ絶縁物20が残されるようとする。ここで、この残された絶縁物20は、トレンチ13の底面部を覆うようにすると共に、この底面部の周囲のトレンチ13の溝底部の角部分を含む状態とされる。

【0015】この様にトレンチ13の底部に絶縁物が残された状態とされたならば、(C)図で示すようにトレント13の内周面を含む全面を酸化する。ここで、半導体基板11はシリコンによって構成されるものであるため、シリコン酸化膜が形成され、このシリコン酸化膜がゲート絶縁膜14とされる。

【0016】そして、(D)図で示すようにトレンチ13内のゲート絶縁膜14で覆われた内部に、導電性材料を充填するもので、例えばポリシリコンを成長させてゲート電極15を形成する。ここで、このポリシリコンに対しては、適宜リンや砒素等が導入され、低抵抗化される。

【0017】この様にしてトレーチゲートが構成されるようになると、特にこのトレーチ13の底部に対しては、絶縁物20が充填され、この状態でゲート絶縁膜14とされるシリコン酸化膜が形成される。このシリコン

酸化膜の形成に際して、その成長部分がトレーチ13の側面周部に限られるものであるため、シリコンの結晶方向が等しく、したがってシリコン酸化膜の成長速度は等しい。このため、トレーチ13の側面部のゲート酸化膜14の膜厚は一定の厚さに設定することができ、信頼性に富む膜厚に設定できる。

【0018】この場合、結晶方向が異なるようになる底面部、さらに特に酸化膜膜の成長速度が遅くなるトレーチ13の底面周部の傾斜する円弧部分においては、すでに絶縁物20が充填されているため、シリコン酸化膜はほとんど成長しない。このトレーチ13の底部に残る絶縁物20は、成長したシリコン酸化膜と連続して、ゲート電極15を取り囲むゲート絶縁膜として機能するようになり、特にトレーチ13の底部の円弧面部における絶縁物の厚さが確保される。

【0019】図3は従来品と本発明品との寿命特性をTDDB(絶縁物破壊の時間特性)との関連で示すもので、実施例のようなトレーチゲートの製造方法を採用することにより、その絶縁破壊寿命が延長されることが確認された。

【0020】

【発明の効果】以上のようにこの発明によれば、特にゲートトレーチ構造のMOSトランジスタを製造するに際して、トレーチ部のゲート電極を取り囲むゲート絶縁層の肉厚が、全体にわたって必要な厚さに設定できるものであり、結晶方向に対応したシリコン酸化膜の成長速度の差による肉薄部の欠陥部位が発生することなく、信頼性に富むゲート構造とすることができる。

【図面の簡単な説明】

【図1】この発明の一実施形態に係る実施例の半導体装置を説明する断面構成図。

【図2】(A)～(D)は上記実施例に示す半導体装置の製造過程を順次説明する断面図。

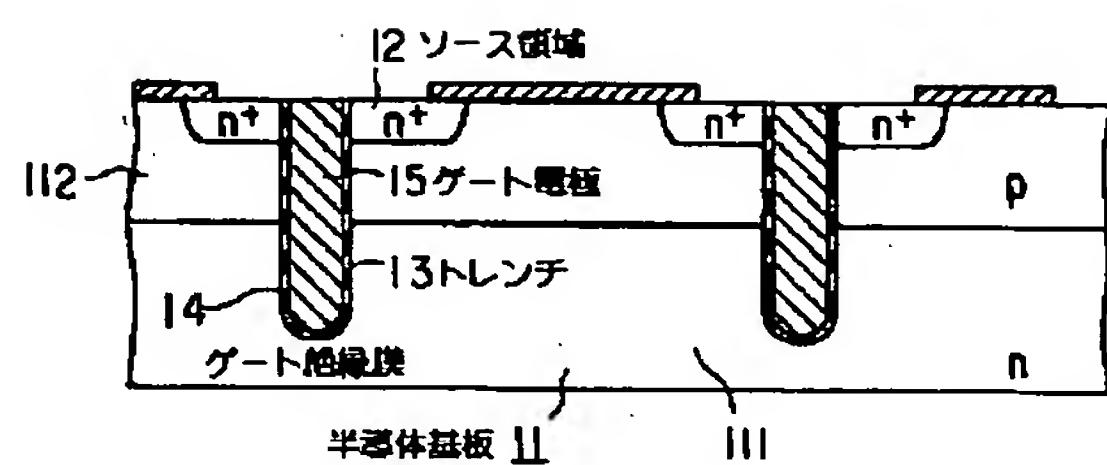
【図3】この発明の実施例による方法で製造された半導体装置と従来の製造方法によって製造された半導体装置の寿命特性を対比して示す図。

【図4】従来のトレーチゲート型の半導体装置を説明する断面図。

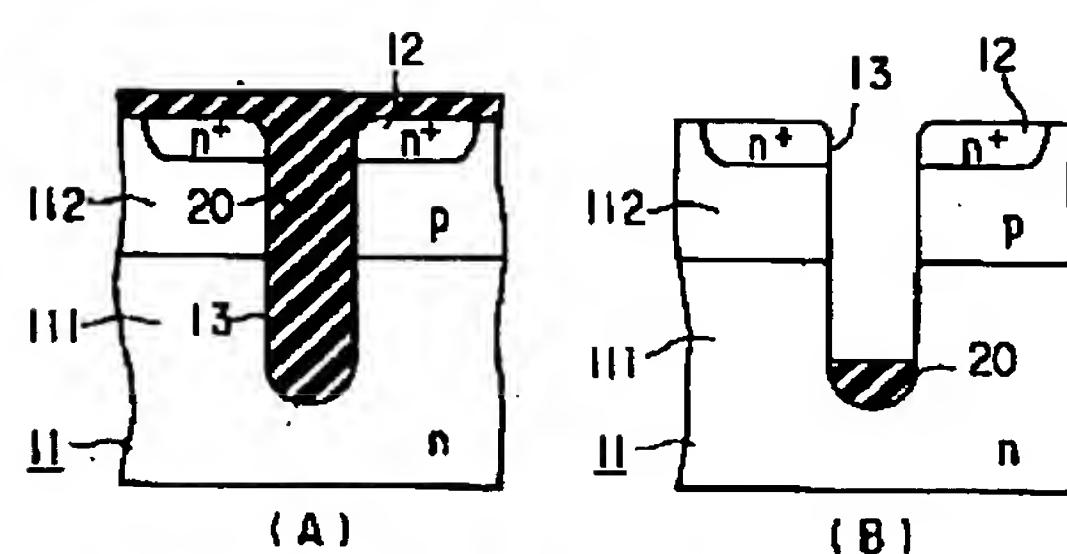
【符号の説明】

- 11…半導体基板、
- 111…n型シリコンウェハ、
- 112…p型ベース領域
- 12…ソース領域、
- 13…トレーチ、
- 14…ゲート絶縁膜、
- 15…ゲート電極、
- 20…絶縁物。

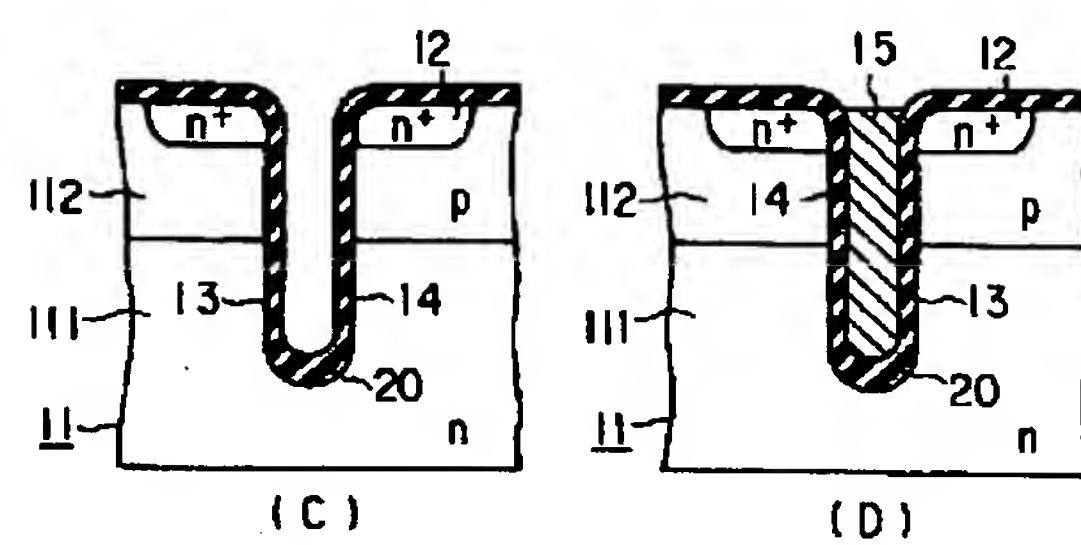
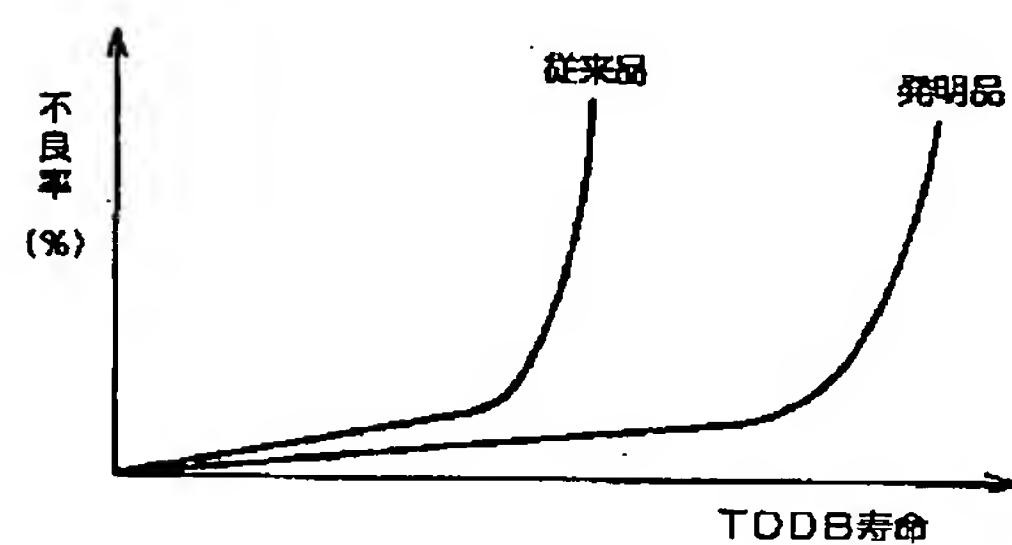
【図1】



【図2】



【図3】



【図4】

